

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 20010106956 A  
(43)Date of publication of application: 07.12.2001

---

(21)Application number: 20000028077  
(22)Date of filing: 24.05.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
(72)Inventor: LEE, SEUNG JAE

(51)Int. Cl. H01L 21/76

---

(54) METHOD FOR PREVENTING BUBBLE DEFECTS IN TRENCH OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: An STI(Shallow Trench Isolation) method is provided to prevent bubble defects generated between an oxide layer and a nitride layer used as a bottom layer of a trench.

CONSTITUTION: After forming a nitride layer(12) on a semiconductor substrate(10), a trench(14) is formed by selectively etching the nitride layer(12) and the semiconductor substrate(10). An oxide layer(16) is formed on the entire surface of the trench(14). By performing a plasma treatment on the surface of the oxide layer(16) using nitrogen contained gases, such as NH<sub>3</sub>, a nitride layer(17) is formed on the surface of the oxide layer(16). A nitride liner(18) is deposited on the resultant structure in order to reduce a leakage current.

&copy; KIPO 2002

Legal Status  
Final disposal of an application (application)

특 2001-0106956

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 21/76

(11) 공개번호 특2001-0106956  
(43) 공개일자 2001년12월07일

(21) 출원번호 10-2000-0028077  
(22) 출원일자 2000년05월24일  
(71) 출원인 삼성전자 주식회사 윤종용  
경기 수원시 팔달구 매탄3동 416  
(72) 발명자 이승재  
경기도수원시권선구권선동1240현대아파트210동502호  
(74) 대리인 이건주

심사결과 : 없음

(54) 반도체 장치의 트렌치내 버블 결함을 방지하는 방법

요약

반도체 장치의 얇은 트렌치 소자 분리 공정에서 발생하는 트렌치 하지막의 버블 결함을 방지하기 위한 제조 방법이 개시된다. 반도체 기판의 상부에 절연 막을 형성한 후 상기 절연 막 및 반도체기판을 식각하여 트렌치를 형성한다. 그리고, 상기 형성된 트렌치의 측벽에 산화막을 형성하고, 상기 산화막의 표면을  $\text{NH}_4$  플라스마 소오스로 이용하여 플라스마 처리공정을 수행함으로써 그 표면에 약 50Å 두께의 질화막을 형성한다. 상기 플라스마 처리된 표면에 질화실리콘 라이너를 증착하고, 상기 질화실리콘 라이너상에 고밀도 플라스마 산화막을 증착하여 얇은 트렌치 소자 분리 공정에서 트렌치의 하지막의 산화막과 질화실리콘 막의 사이에서 발생하는 버블결함을 방지한다.

도면

도3a

색인어

트렌치, 질화막 라이너, 버블결함, 측벽산화막

명세서

도면의 간단한 설명

도 1A 내지 도 1D 은 종래의 기술에 따른 고밀도 플라스마 산화막 증착공정을 도시한 도면으로서, 버블 결함이 발생하는 과정을 설명하기 위하여 도시한 단면도.

도 2A 내지 도 2B는 종래의 기술에 따른 고밀도 플라스마 산화막 증착에 의한 트렌치의 버블 결함을 촬영한 TEM사진을 도시한 도면.

도 3A 및 도3E는 본 발명의 바람직한 실시예에 따른 고밀도 플라스마 처리공정에 의해 버블결함의 발생을 방지하는 과정을 도시한 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조방법에 관한 것으로, 특히 폭은 보다 상세하게는 반도체 장치의 트렌치 소자 분리를 위한 고밀도 플라스마 산화막 증착 공정에서 트렌치의 하지막에 발생하는 버블 결함을 방지하는 방법에 관한 것이다.

반도체 장치의 회로에서는 반도체 기판의 상부에 형성된 트랜지스터, 다이오드 및 저항 등등 여러 가지 소자들을 전기적으로 분리하는 것이 요구된다. 소자 분리의 형성 공정은 모든 반도체 제조 공정 단계에 있어서 초기 단계의 공정으로서, 활성영역의 사이즈 및 후속하는 단계의 공정마진을 좌우하게 된다.

0.25 $\mu$ m 이하의 고밀도 디자인 클로 제조되는 고밀도의 고집적화 반도체 장치에서는 얇은 트렌치 소자 분리(Shallow Trench Isolation; 이하 'STI'라 칭함) 및 층간 유전체(Interlayer Dielectric; 이하 'ILD'라 칭함) 방법이 사용되고 있다. 상기와 같은 STI 및 ILD공정은 실리콘 기판은 소정의 깊이로 식각하여 트렌치를 형성하는 단계와 산화막 등을 이용하여 트렌치를 매립(gap fill)하는 단계를 포함한다. 상기와 같은 STI 및 ILD 처리 공정은 산화막 등을 이용하여 트렌치를 매립할 때 갭-필(gap fill)의 어려움을 발생하게 한다. 예를 들면, 트렌치 내부에 보이드(void)가 발생한다. 이에 따라 매립 특성이 우수한 고밀도 플라즈마(HDP:High Density Plasma; 이하 'HDP'라 칭함) 산화막을 사용하는 추세이다. 그러나, STI 및 ILD공정에서, 트렌치의 하지막이 실리콘막/열산화막/저압 질화실리콘막(Si/thermal oxide/LP SiN)의 적층 구조를 가지는 상태에서 HDP 산화막을 증착시에는 상기 적층된 실리콘과 열산화막이 상호 이탈(peel off)되어 거품과 같이 들뜨는 현상(bubble defect)이 발생된다. 이러한 현상을 도면을 참조하여 보다 상세하게 설명하면 하기와 같다.

도 1A 내지 도 1D 은 종래기술에 따른 고밀도 플라즈마 산화막 증착 공정에서 트렌치의 하지막에 버블 결함이 발생하는 과정을 도시한 단면도들이다.

도 1A를 참조하면, 실리콘 기판(10)의 상부에 질화막(12)을 형성한후, 기판(10)과 질화막(12)을 소정 깊이로 식각함으로써 트렌치(14)를 형성한다. 이어서, 트렌치 식각 공정 동안에 높은 에너지의 이온충격으로 야기된 실리콘 손상을 제거하기 위하여 산화공정을 통해 트렌치(14)의 측벽에 도 1B와 같이 열산화막(16)을 형성한다. 그후에, 누설전류의 발생을 억제하고 게이트 산화막의 특성을 향상시키기 위하여 도 1C와 같이 결과물의 상부에 질화막 라이너(SiN liner)(18)를 증착한다.

이어서, 도 1D와 같이 결과물의 상부에 화학 기상 증착방법에 의해 트렌치(14)를 충분히 매립할 수 있을 정도의 두께로 고밀도 플라즈마 산화막층(20)을 증착한다. 고밀도 산화막층(20)은 SiH<sub>4</sub>, O<sub>2</sub> 및 Ar 가스를 플라즈마 소오스로 이용하여 고밀도 플라즈마를 발생시키는 방식으로 증착된다. 즉, SiH<sub>4</sub>와 O<sub>2</sub>로 SiO<sub>2</sub>를 형성시켜 웨이퍼상에 증착시키고, 웨이퍼의 이면에 RF 바이어스 전력을 인가하여 Ar과 O<sub>2</sub>입자를 웨이퍼의 표면으로 끌어당기면 증착과 동시에 Ar 스퍼터 에치(sputter etch)가 일어나면서 트렌치(14)를 매립하게 된다.

그러나 STI 및 ILD공정에서 하지막이 실리콘막/열산화막/저압 질화실리콘막(Si/thermal oxide/LP SiN)의 적층 구조를 가지는 상태에서 HDP 산화막을 증착시에는 상기 적층된 측벽 산화막과 질화 실리콘막(SiN)이 도 2A 및 2B에서와 같이, 상호 이탈(peel off)되어 거품과 같이 들뜨는 현상(bubble defect)이 발생된다. 이와 같은 현상은 갭 매립이 어려울수록 RF 바이어스 전력을 증가시키게 되어, 버블 결함의 발생을 더욱 촉진시키게 된다. 이러한 버블 결함은 후속 공정이 진행됨에 따라 들뜸현상(lifting)의 원인으로 작용할 수 있으며, 또한 상기와 같은 버블 결함이 포토(photo)의 정렬지점(align point)부위에 발생할 때 정렬(align)이 어렵다는 문제점도 발생하게 된다. 또한 STI공정의 경우 상기 버블 결함은 필드영역에서 발생하기 때문에 필드영역에서의 두께 측정의 문제점도 발생하게 된다.

상기와 같은 고밀도 플라즈마 산화막 증착공정에 있어 버블결함에 대한 실험결과, 고밀도 플라즈마 갭 매립 공정의 변화에 따라 발생빈도가 다르게 나타나며, 또한 하지막의 구조 및 두께에 따라서도 발생양상이 다르게 나타나는 것을 확인하였다.

먼저 고밀도 플라즈마 갭 매립 조건 측면에서는, 증착시 웨이퍼의 온도가 높거나 또는 바이어스 전력이 크거나 또는 SiH<sub>4</sub>/O<sub>2</sub>의 비율이 클 경우에 버블결함에 취약하였다. 이런 고밀도 플라즈마 산화막 증착공정을 변경할 수도 있지만, 이럴 경우 보이드(void)를 형성하게 되어 오히려 반도체 장치에 악영향을 미친다(버블결함의 감소방향이 갭 매립측면에서는 오히려 불리함).

또한 하부막의 구조 및 두께에 따라서는 열산화막의 두께가 낮을수록, 질화실리콘 라이너의 두께가 낮을수록 발생양상이 심하게 나타났다. 그런데, 반도체 장치의 디자인 룰이 타이트(tight)할수록 측벽 산화막의 두께는 낮아지고 상기 질화실리콘 라이너 또한 게이트 산화막 특성 및 대기 전류(standby current) 특성 등에 직접적인 영향을 미치기 때문에 꼭 진행해야 되는 공정이다. 이때 질화실리콘 라이너의 두께를 증가시킬 수 없는 것은 질화실리콘 라이너의 두께가 두꺼워지면 그루빙(grooving)에 취약하여지게 되고 게이트-폴리(6-poly) 잔류물이 남아 단락을 유발하며, 또한 얇은 트렌치 소자분리 갭 매립 측면에서도 불리하게 되어 질화실리콘 라이너를 50 Å이상 사용하기는 힘들다.

#### 본명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 반도체 장치내 트렌치의 하지막에서 버블 결함의 발생을 억제할 수 있는 반도체 장치의 제조 방법을 제공함에 있다.

본 발명의 다른 목적은 트렌치의 하지막이 실리콘/열산화막/질화 실리콘막으로 적층되는 경우 상기 열산화막의 표면을 NH<sub>3</sub> 가스로 플라즈마 처리하여 소정 두께의 상기 열산화막의 표면을 질화(nitrogen)시켜 후속하는 질화실리콘막을 형성하여도 버블 결함이 발생하지 않도록 하는 트렌치의 버블 결함을 방지하는 방법을 제공함에 있다.

상기 목적을 달성하기 위한 본 발명은, 반도체 장치내 트렌치의 버블 결함을 방지하는 방법에 있어서, 반도체 기판의 상부에 절연막을 형성한 후 상기 절연막 및 반도체기판을 식각하여 트렌치를 형성하는 단계와, 상기 트렌치의 측벽에 소정 두께의 산화막을 형성하는 단계와, 상기 측벽 산화막의 표면을 질소가 포함된 가스로 플라즈마 처리하여 상기 산화막 표면의 소정 두께를 질화시켜 막으로 형성하는 단계와, 상기 플라즈마 처리된 표면에 질화실리콘 라이너를 증착하는 단계; 및 상기 질화실리콘 라이너상에 고밀도 플라즈마 산화막을 증착하는 단계로 구성된 것을 특징으로 한다.

바람직하게는, 상기 가스 플라스마는  $NH_3$ 를 이용하여 플라스마 처리하며, 트렌치의 표면이 약 50Å내외 두께로 질화되도록 실시한다.

#### 발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

도 2A 내지 도 2B는 종래의 기술에 따른 고밀도 플라스마 산화막 증착에 의한 트렌치의 버블 결함을 촬영한 TEM사진을 도시한 도면이다.

도 2A는 트렌치내의 하지막에서 기판과 측벽산화막사이의 계면에서 버블이 발생하는 것을 보여주는 단면도이며, 도 2B는 도 2A의 버블발생부위를 확대한 도면이다.

도 3A 및 도 3E는 본 발명에 따른  $NH_3$  플라스마 처리공정에 의해 트렌치의 하지막에서의 버블결함의 발생을 방지하는 과정을 도시한 단면도들이다.

도 3A 및 도 3B는 도 1A 및 도 1B와 동일한 제조공정을 보여주는 도면으로서, 그 상세한 설명은 동일하므로 생략한다.

도 3C 내지 도 3F를 참조하면, 형성된 열산화막(16)의 상부에 30Å이상의 두께로 질화시켜 질화막(17)으로 형성하기 위해  $NH_3$  가스를 플라스마 소오스로 이용하여  $NH_3$  플라스마 처리공정을 수행한다. 이로써, 종래기술에서 고밀도 플라스마 산화를 증착공정(HDP)의 수행시 트렌치의 하지막에 발생하던 버블 결함의 발생을 방지하게 된다. 즉, 측벽 산화공정을 진행하여 열산화막(16)을 형성한 후  $NH_3$  플라스마 처리과정에 의해 열산화막(16)의 표면을 30Å이상 질화시켜 질화막으로 형성함으로써 후속의 질화실리콘 라이너의 두께를 얇게 증착하여도 버블 결함이 발생하지 않게 된다.

이어서, 도 3D에서는, 도 1C에서와 동일한 방법으로, 그 결과물의 상부에 질화막 라이너(liner)(18)를 증착하여 누설전류의 발생을 억제하고 게이트 산화막의 특성을 향상시킨다.

이어서, 도 3E에서는, 도 1D에서와 동일한 방법으로, 그 결과물의 상부에 화학 기상 증착방법에 의해 트렌치(14)를 충분히 매립할 수 있을 정도의 두께로 고밀도 플라스마 산화막층(20)을 증착한다. 고밀도 플라스마 산화막층(20)은  $SiH_4$ ,  $O_2$  및 Ar 가스를 플라스마 소오스로 이용하여 고밀도 플라스마를 발생시키는 방식으로 증착된다. 즉,  $SiH_4$ 와  $O_2$ 로  $SiO_2$ 를 형성시켜 웨이퍼상에 증착시키고, 웨이퍼의 이면에 RF 바이어스 전력을 인가하여 Ar과  $O_2$ 입자를 웨이퍼의 표면으로 끌어당기면 증착과 동시에 Ar 스퍼터 에치(sputter etch)가 일어나면서 트렌치(14)를 매립하게 된다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

#### 발명의 효과

상술한 바와 같이, 트렌치에 측벽산화막을 형성한 후  $NH_3$  플라스마 처리공정을 수행하여 측벽 산화막의 표면의 소정 두께를 질화시켜 막으로 형성함으로써 후속하는 질화실리콘막의 두께를 증가시키는 효과를 가져옴으로써 얇은 트렌치 소자 분리 공정에서 발생하는 버블결함을 방지할 수 있다.

#### (5) 청구의 범위

청구항 1. 반도체 장치내 트렌치의 버블 결함을 방지하는 방법에 있어서,

반도체 기판의 상부에 절연막을 형성한 후 상기 절연막 및 반도체기판을 식각하여 트렌치를 형성하는 단계와,

상기 트렌치의 측벽에 소정 두께의 산화막을 형성하는 단계와,

상기 측벽 산화막의 표면을 질소가 포함된 가스로 플라스마 처리하여 상기 산화막 표면의 소정 두께를 질화시켜 막으로 형성하는 단계와,

상기 플라스마 처리된 표면에 질화실리콘 라이너를 증착하는 단계, 및

상기 질화실리콘 라이너상에 고밀도 플라스마 산화막을 증착하는 단계로 구성된 것을 특징으로 반도체 장치내 트렌치의 버블 결함을 방지하는 방법.

청구항 2. 제1항에 있어서,

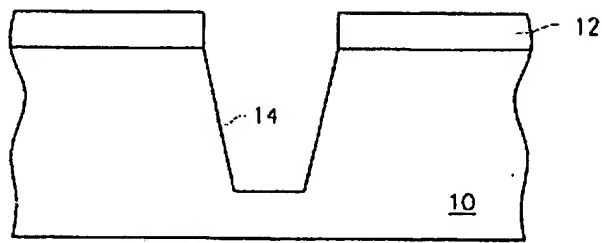
상기 플라스마 처리공정은  $NH_3$  가스를 플라스마 소오스로 이용하여 질화막을 형성하는 단계인 것을 특징으로 하는 버블결함 방지방법.

청구항 3. 제2항에 있어서,

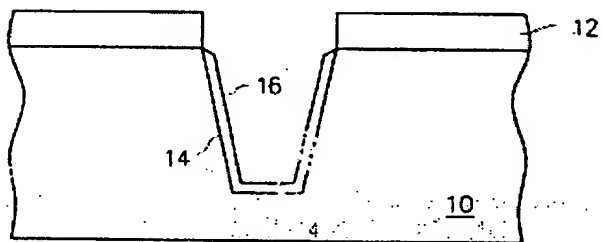
상기 질화막의 두께가 30 Å 미상의 것을 특징으로 하는 버블결함 방지방법.

도면

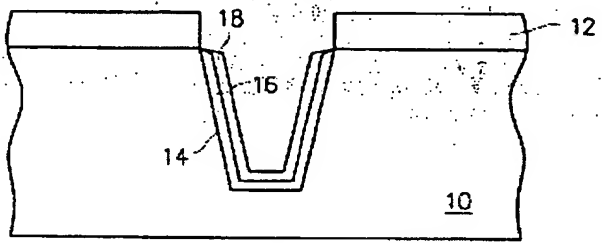
도면 1a



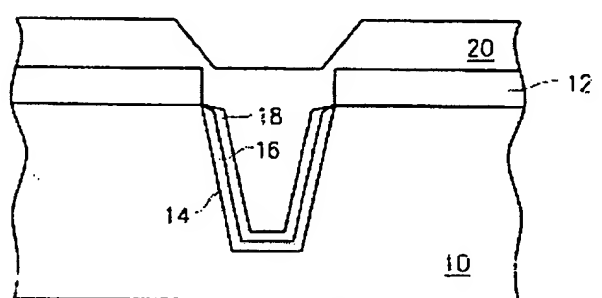
도면 1b



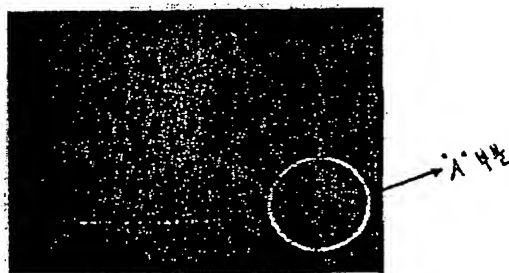
도면 1c



도면 1d



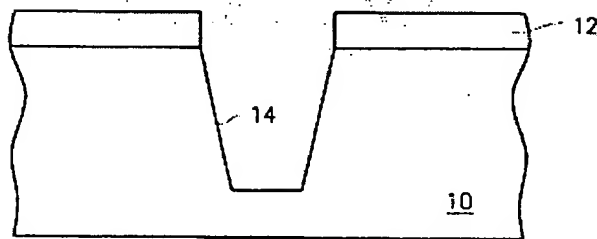
도면2b



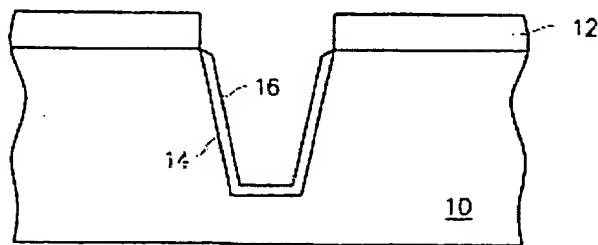
도면2b



도면3a

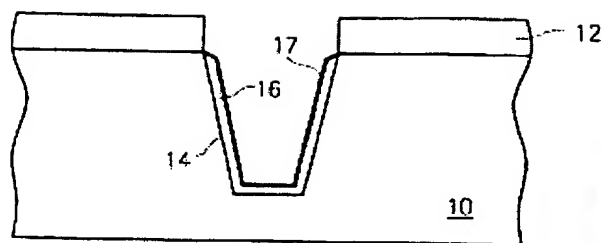


도면3b

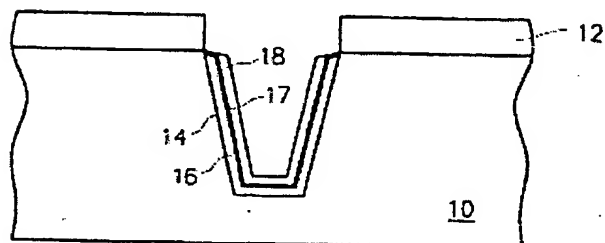


6-5

도면3b



도면3d



도면3e

